

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68991

(P2001-68991A)

(43)公開日 平成13年3月16日(2001.3.16)

(51) Int.Cl.

H 03 K 19/0185

識別記号

F I

H 03 K 19/00

テマコード(参考)

101 E 5 J 056

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平11-240348

(22)出願日 平成11年8月26日(1999.8.26)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番53

(72)発明者 猿渡 和幸

神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

F ターム(参考) 5J056 AA00 AA11 BB02 BB57 CC21
DD13 DD29 EE07 FF08 KK00

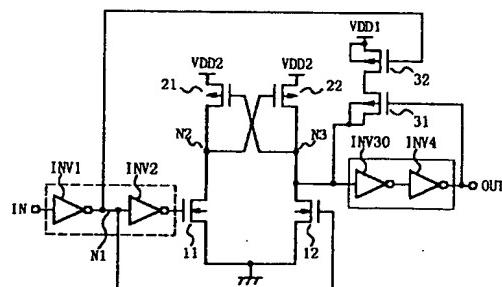
(54)【発明の名称】 レベルシフト回路

包装済

(57)【要約】

【課題】回路面積の増加を抑制して一連の動作のスピードを高くするレベルシフト回路を提供する。

【解決手段】第1の高電位(VDD1)系の入力端(IN)と、第1の高電位よりも高い第2の高電位(VDD2)系の出力端(OUT)と、第1のMOSFETの一端と第2のMOSFETのゲートを接続する第1の接続ノード(N3)および第2のMOSFETの一端と第1のMOSFETのゲートを接続する第2の接続ノード(N2)とを有し、第1の高電位の電源ラインと第1の接続ノード間に第1および第2のPMOSFETを直列に接続し、第1のPMOSFET(32)を入力信号により制御し、第2のPMOSFET(31)を出力信号により制御し、第1の接続ノード(N3)に接続する第2の高電位(VDD2)系の第1のインバータ(INV30)は第1の高電位(VDD1)の入力レベルが反転する特性を有している。



■で囲まれたロジックはVDD1系インバータ

■で囲まれたロジックはVDD2系インバータ

11, 12 : NMOSFET
21, 22, 31, 32 : PMOSFET
VDD1 : 第1の高電位
VDD2 : 第2の高電位

【特許請求の範囲】

【請求項1】 第1の高電位と低電位間を推移する入力信号を入力する入力端と、前記第1の高電位よりも高い第2の高電位と低電位間を推移する出力信号を出力する出力端と、第1の絶縁ゲート電界効果トランジスタの一端と第2の絶縁ゲート電界効果トランジスタのゲートを接続する第1の接続ノードおよび前記第2の絶縁ゲート電界効果トランジスタの一端と前記第1の絶縁ゲート電界効果トランジスタのゲートを接続する第2の接続ノードを有するレベル変換部と、前記第1の接続ノードと前記出力端との間に設けられた第1のインバータとを具備したレベルシフト回路において、前記第1の高電位の電源ラインと前記第1の接続ノード間に第1および第2のPチャネル絶縁ゲート電界効果トランジスタを直列に接続し、前記第1のPチャネル絶縁ゲート電界効果トランジスタを前記入力信号により制御し、前記第2のPチャネル絶縁ゲート電界効果トランジスタを前記出力信号により制御し、前記第1のインバータは前記第2の高電位の電源ラインに一端を接続し且つ前記第1の高電位の入力レベルが反転する特性を有していることを特徴とするレベルシフト回路。

【請求項2】 前記第1のインバータと前記出力端との間に前記第2の高電位の電源ラインに一端を接続した第2のインバータが設けられていることを特徴とする請求項1記載のレベルシフト回路。

【請求項3】 前記第2の接続ノードと前記入力端との間に、それぞれが一端を前記第1の高電位の電源ラインに接続し且つ前記第1の高電位の入力レベルが反転する第3および第4のインバータが直列に接続されており、該第3および第4のインバータ間の信号により前記第1のPチャネル絶縁ゲート電界効果トランジスタを制御することを特徴とする請求項1記載のレベルシフト回路。

【請求項4】 第1の高電位と低電位間を推移する入力信号を入力する入力端と、前記第1の高電位よりも高い第2の高電位と低電位間を推移する出力信号を出力する出力端と、第1の絶縁ゲート電界効果トランジスタの一端と第2の絶縁ゲート電界効果トランジスタのゲートを接続する第1の接続ノードおよび前記第2の絶縁ゲート電界効果トランジスタの一端と前記第1の絶縁ゲート電界効果トランジスタのゲートを接続する第2の接続ノードを有したレベル変換部と、前記第1の接続ノードと前記出力端との間に設けられた第1および第2のインバータとを具備したレベルシフト回路において、前記第1の高電位の電源ラインと前記第1の接続ノード間にPチャネル絶縁ゲート電界効果トランジスタとNチャネル絶縁ゲート電界効果トランジスタを直列に接続し、前記Pチャネル絶縁ゲート電界効果トランジスタを前記入力信号により制御し、前記Nチャネル絶縁ゲート電界効果トランジスタを前記第1および第2のインバータ間の信号により制御し、前記第1のインバータは前記

第2の高電位の電源ラインに一端を接続し且つ前記第1の高電位の入力レベルが反転する特性を有していることを特徴とするレベルシフト回路。

【請求項5】 前記第2の接続ノードと前記入力端との間に、それぞれが一端を前記第1の高電位の電源ラインに接続し且つ前記第1の高電位の入力レベルが反転する第3および第4のインバータが直列に接続されており、該第3および第4のインバータ間の信号により前記Pチャネル絶縁ゲート電界効果トランジスタを制御することを特徴とする請求項4記載のレベルシフト回路。

【請求項6】 前記レベル変換部は、前記第2の高電位の電源ラインと前記低電位の電源ライン間に設けられたPチャネル絶縁ゲート電界効果トランジスタとNチャネル絶縁ゲート電界効果トランジスタの直列接続体の一対を有しており、それぞれの直列接続体における両トランジスタ間の接続箇所が前記第1及び第2の接続ノードとなっていることを特徴とする請求項1乃至請求項5のいずれかに記載のレベルシフト回路。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】 本発明はレベルシフト回路に係わり、特に互いに異なる2つの高電位（VDD1とVDD2よりも高い電位のVDD2）系に使用されるレベルシフト回路に関する。

【0002】

【従来の技術】 半導体集積回路は用途に応じて最適な電源電圧が選択されるから、各回路において信号レベルが異なるものとなる。したがって互いに異なる電源電圧を用いている回路間にレベルシフト回路を設けて信号の授受を行っている。

【0003】 図5に従来のレベルシフト回路を示す。同図において、VSSレベル（接地レベル）とVDD1レベルの間を推移する入力信号を入力する入力端INと、VSSレベル（接地レベル）とVDD2レベルの間を推移する出力信号を出力する出力端OUTとの間に、VDD1で動作するVDD1系のインバータINV1及びインバータINV2と、VDD2で動作するVDD2系のインバータINV3及びインバータINV4と、ソースがそれぞれVDD2の電源ラインに接続されたPチャネル絶縁ゲート電界効果トランジスタ（以下、PMOS T、と称す）21, 22と、ソースがそれぞれ接地電位（VSSレベル）のラインに接続されたNチャネル絶縁ゲート電界効果トランジスタ（以下、NMOST、と称す）11, 12とを有してレベルシフト回路を構成している。

【0004】 ここで、インバータINV1及びインバータINV2はVDD1レベルの入力が反転する回路であり、インバータINV3及びインバータINV4はVDD2レベルの入力が反転する回路である。

【0005】 そして、PMOST21のドレインとNM

OST11のドレインが接続された接続ノードN2がPMOST22のゲートに接続され、PMOST22のドレインとNMOST12のドレインが接続された接続ノードN3がPMOST21のゲートに接続され、さらにこの接続ノードN3がインバータINV3の入力に接続されている。

【0006】また、インバータINV1とインバータINV2との間の接続ノードN1がNMOST12のゲートに接続され、インバータINV2の出力がNMOST11のゲートに接続されている。

【0007】レベルシフト回路の入力端INにおける入力信号INがVSSレベル（接地レベル）の場合は、NMOST11がオフ、NMOST12がオンとなり、接続ノードN3がVSSレベル、PMOST21がON、接続ノードN2がVDD2レベル、PMOST22がオフとなり、レベルシフト回路の出力端OUTにおける出力信号OUTはVSSレベル（接地レベル）になる。

【0008】他方、レベルシフト回路の入力端INにおける入力信号INがVDD1レベルの場合は、NMOST11がオン、NMOST12がオフとなり、接続ノードN2がVSSレベル、PMOST22がON、接続ノードN3がVDD2レベル、PMOST21がオフとなり、レベルシフト回路の出力端OUTにおける出力信号OUTはVDD2レベルになる。

【0009】この図5に示すような従来のレベルシフト回路においては、消費電流を小さくする為にPMOST22の駆動能力を小さくして貫通電流を抑えていた。

【0010】しかし、駆動能力を小さくした結果、下記のような問題が発生した。

【0011】図6は図5の動作波形である。入力信号INが0レベル（VSSレベル）の状態（Aの状態）から、VDD1レベルに立ち上がった時（Bの状態）、NMOST11はオン状態、NMOST12はオフ状態に遷移する。その後、PMOST22はオン状態になるが、駆動能力が小さい為、接続ノードN3は徐々にVDD2の方向に電圧が上昇する。

【0012】そして、インバータINV3の出力はスレッショルド電圧を超えたところで、反転して出力信号OUTが0レベル（VSSレベル）からVDD2に反転する（Bの後半からCの状態）。

【0013】これらの一連の動作のスピードが遅くなるという問題が生じていた。尚、入力信号INの立ち下がり時はNMOST11はオフ状態、NMOST12はオン状態に遷移し（Dの状態）、即座に出力信号が立ち下がるから問題はない。

【0014】このように図5に示す従来技術では、貫通電流を抑えるためにPMOST22の駆動能力を小さくしていたから、信号の立ち上がり時に接続ノードN3のVDD2の方向への電圧の上昇が遅くなり、一連の動作のスピードが遅くなるという問題を有していた。

【0015】この問題を解決するために図7に示すようなレベルシフト回路が特開平5-343980号公報に開示してある。

【0016】図7において、NMOST107、NMOST108、PMOST105、PMOST106、接続ノードN111および接続ノード110により、図5のNMOST11、NMOST12、PMOST21、PMOST22、接続ノードN2および接続ノードN3による回路と同様の回路を形成している。

10 【0017】図7の回路ではさらに、立ち上がり時を加速する為のPMOST112及びPMOST113をPMOST105及びPMOST106にそれぞれ並列付加し、かつ信号の立ち下がりを捉えて発生する信号変化検出パルス発生回路102を追加された構成になっている。

【0018】この信号変化検出パルス発生回路102は複数のインバータ回路INV及び複数のNOR回路をして構成され、例えば、入力信号INが立ち上がった時、接続ノードN111が立ち下がるが、このN111の立ち下がりを検知し、接続ノードN125から一瞬、立ち下がりのパルスを発生させ上記した加速用PMOST113をオン状態にさせ、ノードN110を高いVDD2レベルまで上昇させる。

【0019】これにより、入力信号の変化に対して出力信号は高速に変化させる事ができ、消費電流も抑えている。

【0020】しかし、この従来技術では新たな問題点が発生した。すなわち、加速用トランジスタPMOST112及びPMOST113だけではなく、これらのPMOSTをコントロールする為の信号変化検出パルス発生回路102は多くのインバータ回路INV、NOR回路を用いて構成しなければならない。

【0021】したがって図7に示す従来技術では、回路面積が増大するという問題を有する。例えば、液晶ドライバー等にレベルシフト回路を適用した場合、数十個必要になり上記の従来技術ではチップ面積にも影響してしまう。

【0022】

【発明が解決しようとする課題】以上説明したように図5に示す従来の技術では、一連の動作のスピードが遅くなるという問題を有する。

【0023】また、図7に示す従来の技術では、必要とする回路面積の増加が大きくなるという問題を有する。

【0024】したがって本発明の目的は、回路面積の増加を抑制して一連の動作のスピードを高くする有効なレベルシフト回路を提供することである。

【0025】

【課題を解決するための手段】本発明の特徴は、第1の高電位（VDD1）と低電位（VSS）間を推移する入力信号（IN）を入力する入力端（IN）と、前記第1

の高電位よりも高い第2の高電位（VDD2）と低電位（VSS）間を推移する出力信号（OUT）を出力する出力端（OUT）と、第1のMOSFETの一端と第2のMOSFETのゲートを接続する第1の接続ノード（N3）および前記第2のMOSFETの一端と前記第1のMOSFETのゲートを接続する第2の接続ノード（N2）を有したレベル変換部と、前記第1の接続ノード（N3）と前記出力端（OUT）との間に設けられた第1のインバータ（INV30）とを具備したレベルシフト回路において、前記第1の高電位の電源ライン（VDD1）と前記第1の接続ノード（N3）間に第1および第2のPMOSFET（32, 31）を直列に接続し、前記第1のPMOSFET（32）を前記入力信号により制御し、前記第2のPMOSFET（31）を前記出力信号により制御し、前記第1のインバータ（INV30）は前記第2の高電位（VDD2）の電源ラインに一端を接続し且つ前記第1の高電位（VDD1）の入力レベルが反転する特性を有しているレベルシフト回路にある。ここで、前記第1のインバータ（INV30）と前記出力端（OUT）との間に前記第2の高電位（VDD2）に一端を接続した第2のインバータ（INV4）が設けられていることができる。また、前記第2の接続ノード（N2）と前記入力端（IN）との間に、それぞれが一端を前記第1の高電位（VDD1）の電源ラインに接続し且つ前記第1の高電位（VDD1）の入力レベルが反転する第3および第4のインバータ（INV2, INV1）が直列に接続されており、該第3および第4のインバータ（INV2, INV1）間の信号により前記第1のPMOSFET（32）を制御することができる。

【0026】本発明の他の特徴は、第1の高電位(VDD1)と低電位(VSS)間を推移する入力信号(IN)を入力する入力端(IN)と、前記第1の高電位(VDD1)よりも高い第2の高電位(VDD2)と低電位(VSS)間を推移する出力信号(OUT)を出力する出力端(OUT)と、第1のMOSFETの一端と第2のMOSFETのゲートを接続する第1の接続ノード(N3)および前記第2のMOSFETの一端と前記第1のMOSFETのゲートを接続する第2の接続ノード(N2)を有したレベル変換部と、前記第1の接続ノード(N3)と前記出力端(OUT)との間に設けられた第1および第2のインバータ(INV30, INV4)とを具備したレベルシフト回路において、前記第1の高電位の電源ライン(VDD1)と前記第1の接続ノード(N3)間にPMOST(32)とNMOST(41)を直列に接続し、前記PMOST(32)を前記入力信号により制御し、前記NMOSTを前記第1および第2のインバータ(INV30, INV4)間の信号により制御し、前記第1のインバータ(INV30)は前記第2の高電位(VDD2)の電源ラインに一端を接続し且つ前記第1の高電位(VDD1)の入力レベルが反転する特性を有

しているレベルシフト回路にある。ここで、前記第2の接続ノード（N2）と前記入力端（IN）との間に、それぞれが一端を前記第1の高電位（VDD1）の電源ラインに接続し且つ前記第1の高電位（VDD1）の入力レベルが反転する第3および第4のインバータ（INV2, INV1）が直列に接続されており、該第3および第4のインバータ（INV2, INV1）間の信号により前記PMOSTを制御することができる。

【0027】また上記したそれぞれのレベルシフト回路
10において、レベル変換部は、前記第2の高電位(VDD
2)の電源ラインと前記低電位(VSS)の電源ライン
間に設けられたPMOSとNMOSの直列接続体の一対を有しており、それぞれの直列接続体における両ト
ランジスタ間の接続箇所が前記第1及び第2の接続ノ
ードとなっていることができる。

【0028】このように本発明では、入力信号INにより制御される第1のPMOSTと出力信号OUTにより制御される第2のPMOSTを直列に接続するとともに、あるいは入力信号INにより制御されるPMOSTと出力信号に関する信号により制御されるNMOSTを直列に接続するとともに、第2のPMOSTあるいはNMOSTの一端を接続ノードN3に接続し、接続ノードN3を入力とするインバータINV30のスレッシュレベルを低くすることにより、接続ノードN3のチャージアップが高速な動作になり、さらに出力信号OUTの変化を検出し、第2のPMOSTあるいはNMOSTを自動的に制御するセルフリセットを備えたレベルシフト回路である。

【0029】すなわち本発明によるレベルシフト回路
30 は、プルアップ用トランジスタを備えることにより、入力レベルが第1の高電位レベルに立ち上がった時、前記
プルアップ用トランジスタが駆動し、急速に第1の高電位レベルにチャージアップすることにより、出力レベル
を高速にVSSレベルから第1の高電位レベルよりも高い第2の高電位レベルに立ちあげることを特徴とする回路である。

[0030]

【発明の実施の形態】以下図面を参照して本発明を説明する。

40 【0031】図1は本発明の第1の実施の形態のレベルシフト回路を示す回路図である。

【0032】VSS レベル（接地レベル）と第1の高電位レベルであるVDD1 レベル、例えば+2V（ボルト）の間を推移する入力信号を入力する入力端INと、VSS レベル（接地レベル）と第2の高電位レベルであるVDD2 レベル、例えば+5V（ボルト）の間を推移する出力信号を出力する出力端OUTとの間に、VDD1で動作するVDD1系のインバータINV1及びインバータINV2の直列接続体と、VDD2で動作するVDD2系のインバータINV30及びインバータINV31

4の直列接続体と、ソースがそれぞれVDD2電位の電源ラインに接続されたPMOST21, 22と、ソースがそれぞれ接地電位(VSSレベル)のラインに接続されたNMOST11, 12とを有している。

【0033】さらにプルアップ用トランジスタであるPMOST32とPMOST31の直列接続体がVDD1電位の電源ラインとVDD2系のインバータINV30の入力との間に設けられている。

【0034】そして、PMOST21のドレインとNMOST11のドレインが接続された接続ノード(第2の接続ノード)N2がPMOST22のゲートに接続され、PMOST22のドレインとNMOST12のドレインが接続された接続ノード(第1の接続ノード)N3がPMOST21のゲートに接続され、さらにこの接続ノードN3がインバータINV30の入力に接続されている。

【0035】すなわち、プルアップ用トランジスタであるPMOST32とPMOST31の直列接続体はVDD1電位の電源ラインと接続ノード(第1の接続ノード)N3に両端を接続して設けられている。

【0036】また、インバータINV1とインバータINV2との間の接続ノードN1がNMOST12のゲートに接続され、インバータINV2の出力がNMOST11のゲートに接続されている。さらに、接続ノードN1がPMOST32のゲートに接続され、インバータINV4の出力、すなわち回路の出力端OUTがPMOST31のゲートに接続されている。

【0037】また、PMOST32のソースがVDD1電位の電源ライン、例えば+2V電源に接続され、PMOST32のドレインとPMOST31のソース、ドレンの一方とが接続され、PMOST31のソース、ドレンの他方が接続ノードN3に接続されている。

【0038】次ぎに図2を参照して図1のインバータについて説明する。

【0039】図2(A)に示す波形成形用のインバータINV1は、PMOST51とNMOST61の直列接続体からなり、第1の高電位電源VDD1と低電位電源VSS間に接続されている。同様に、図2(B)に示すインバータINV2は、PMOST52とNMOST62の直列接続体からなり、第1の高電位電源VDD1と低電位電源VSS間に接続されている。PMOST51とPMOST52は同じ特性、NMOST61とNMOST62は同じ特性であり、インバータINV1もインバータINV2も入力がVDD1の際には出力が反転するように、スレッショルド電圧(Vth) < VDD1になっている。VDD1が+2VでVSSが接地(0V)の場合に、例えばVthは+1Vである。

【0040】図2(D)に示す最終段のインバータINV4は、PMOST54とNMOST64の直列接続体からなり、第2の高電位電源VDD2と低電位電源VSS間に接続されている。入力がVDD2の際に出力が反転するように、Vth < VDD2になっている。VDD2が+5VでVSSが接地(0V)の場合、例えばVthは+2.5Vである。

【0041】しかしながら図2(C)に示すインバータINV30は、PMOST53とNMOST63の直列接続体からなり、第2の高電位電源VDD2と低電位電源VSS間に接続されているが、入力がVDD1の際に出力が反転するように、Vth < VDD1になっている。VDD2が+5VでVSSが接地(0V)の場合、例えばVthは+1Vである。すなわち第2の高電位のVDD2系のインバータであるが第1の高電位のVDD1が入力されることで反転される。

【0042】このようなインバータINV30は、NMOST63の駆動能力をPMOST53の駆動能力より高くするようにそれぞれのトランジスタサイズを設定することで得ることができる。

【0043】次ぎに図3を参照して、第1の実施の形態のレベルシフト回路の動作について説明する。

【0044】入力信号INがVSSレベル(0レベル)の場合、インバータINV2の出力がVSSレベルの状態なので、NMOST11はオフ状態である。また、インバータINV1の出力がVDD1の状態なのでNMOST12はオン状態であり、接続ノードN3はVSSレベルの状態である。

【0045】接続ノードN3がVSSレベルであるからPMOST21はオンし、接続ノードN2がVDD2の状態である。さらに、接続ノードN3がVSSレベルなので、出力信号OUTはVSSレベルの状態である。そして、出力信号OUTはPMOST31のゲートに接続しているのでPMOST31オン状態である。以上が図3のAの状態である。

【0046】この状態から信号INがVDD1レベルに立ち上った場合、インバータINV1の出力はVDD1レベルからVSSレベルに急速に立ち下がり、NMOST12がオフ状態になる。インバータINV2の出力は急速にVDD2レベルに立ち上がり、NMOST11はオン状態になる。

【0047】さらに、インバータINV1の出力がVSSレベルになる事により、PMOST32は急速にオン状態になる。この時、出力信号OUTはまだVSSレベルなのでPMOST31はオン状態であり、接続ノード(第1の接続ノード)N3は急速にPMOST31を通って、VDD1レベルに急速に遷移するそれと同時にPMOST22はオン状態に変化するが、これらのPMOST22は一般的に貫通電流を抑えるため駆動能力を小さくしてある為、ノードN3はVDD1レベルからVDD2レベルにゆっくりチャージアップする。

【0048】しかし、接続ノードN3がPMOST32がオン状態になることにより即座にVDD1レベルに達

すると、スレッショルド電圧をVDD1より低く設定されたインバータINV30の出力はVDD2レベルからVSSレベルに反転し、出力信号OUTはVSSレベルからVDD2に立ち上がる。

【0049】その後、PMOST31はオフ状態になり、接続ノードN3にVDD1レベルの電圧を供給をカットする。それと同時にPMOST22がオン状態になっているので接続ノードN3はさらにVDD1レベルからVDD2レベルまでチャージアップし、PMOST21をオフ状態にする。以上が図3のBの状態である。

【0050】入力信号INがVDD1レベルの場合、NMOST11、PMOST22、PMOST32がオン状態、NMOST12、PMOST21、PMOST31がオフ状態である。よって、接続ノードN1、接続ノード(第2の接続ノード)N2がVSSレベル(0レベル)で、接続ノード(第1の接続ノード)N3、出力信号OUTはVDD2レベルである。以上が図3のCの状態である。

【0051】この状態から入力信号INがVDD1レベルからVSSレベルに立ち下がった場合、インバータINV1の出力はVDD1レベルに急速に立ち上がり、NMOST12がオン状態になる。インバータINV2の出力は急速にVSSレベルに立ち下がり、NMOST11はオフ状態になる。さらに、インバータINV1の出力がVDD1レベルになるから、PMOST32はオフ状態になる。

【0052】また、接続ノードN3はVSSレベルに遷移した後、出力信号OUTはVDD2レベルからVSSレベルに変化する。PMOST31のゲートにはVSSレベルの電圧が印可されるがPMOST32がオフ状態の為、接続ノードN3には影響しない。よって、接続ノードN3がVSSレベルなのでPMOST21はオン状態になり、接続ノードN2はゆっくりとVDD2方向に向かう。それと同時にPMOST22はオフ状態に遷移する。以上が図3のDの状態である。

【0053】図4は本発明の第2の実施の形態のレベルシフト回路を示す回路図である。図4において図1と同一もしくは類似の機能の箇所は同じ符号を付してあるから、重複する説明は省略する。

【0054】図1の回路では、レベルシフト回路の出力信号OUTに負荷容量によって、出力端OUTからゲートを制御するPMOST31のオン／オフ状態のタイミングがずれることが懸念される場合には、図4の回路を用いることができる。

【0055】すなわち図4では、図1のPMOST31の代わりにNMOST41を用い、このNMOST41はゲートがインバータINV30の出力と接続され、ドレインはPMOST32のドレインと接続され、ソースは接続ノード(第1の接続ノード)N3と接続している。したがって、このNMOST41のオン／オフ状態

のタイミングは出力信号OUTの負荷によって影響しない。他の動作は図1乃至図3で示した第1の実施の形態と同様である。

【0056】

【発明の効果】本発明の第1の効果は、入力信号がVSSから第1の高電位電圧(VDD1)に立ち上がった時、出力信号は高速で第1の高電位電圧よりも高い第2の高電位電圧に変換して出力することである。その理由はプルアップ用のトランジスタを設けた為である。

10 【0057】第2の効果は、前記のプルアップ用のトランジスタをコントロールする制御回路のパターン面積が非常に小さいことである。その理由は2個のトランジスタのみで実現できるからである。

【0058】第3の効果は、入力信号がVSSから第1の高位電圧に立ち上がった時、レベルシフト回路内のバッファ(INV30)の貫通電流が低減できることである。その理由は前記のプルアップ用のトランジスタを挿入する事により入力信号が高速に立ち上がる為である。

【図面の簡単な説明】

20 【図1】本発明の第1の実施の形態のレベルシフト回路を示す回路図である。

【図2】本発明の第1の実施の形態のレベルシフト回路における各インバータを示す回路図である。

【図3】本発明の第1の実施の形態のレベルシフト回路の動作を示すタイムチャートである。

【図4】本発明の第2の実施の形態のレベルシフト回路を示す回路図である。

【図5】従来技術のレベルシフト回路を示す回路図である。

30 【図6】図5のレベルシフト回路の動作を示すタイムチャートである。

【図7】他の従来技術のレベルシフト回路を示す回路図である。

【符号の説明】

11, 12, 41, 61, 62, 63, 64 NMOST

21, 22, 31, 32, 51, 52, 53, 54 PMOST

102 信号変化検出パルス発生回路

40 105, 106, 112, 113 PMOST
107, 108 NMOST

INV1, INV2 第1の高電位系のインバータ回路

INV3, INV4 第2の高電位系のインバータ回路
INV30 低いVthを有する第2の高電位系のインバータ回路

INV インバータ回路

NOR ノア回路

50 N1, N2, N3 接続ノード

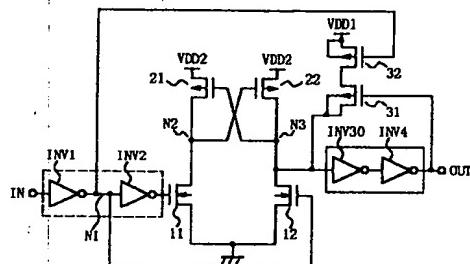
11

N110, N111, N124, N125 接続ノード
 VDD1 第1の高電位(電源)
 VDD2 第2の高電位(電源)

12

VSS 低電位(接地、0Vレベル)
 IN 入力端、入力信号
 OUT 出力端、出力信号

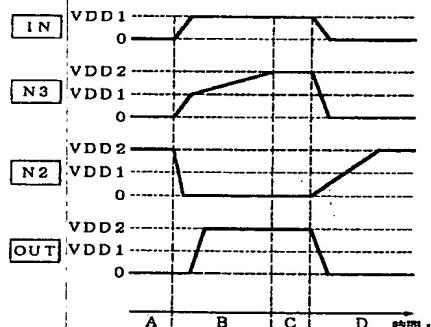
【図1】



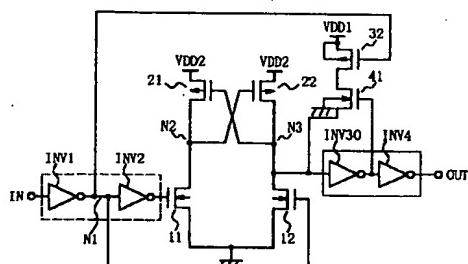
〔〕で囲まれたロジックはVDD1系インバータ
 □で囲まれたロジックはVDD2系インバータ

11, 12: NMOST
 21, 22, 31, 32: PMOST
 VDD1: 第1の高電位
 VDD2: 第2の高電位

【図3】

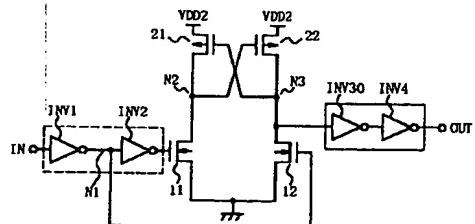


【図4】



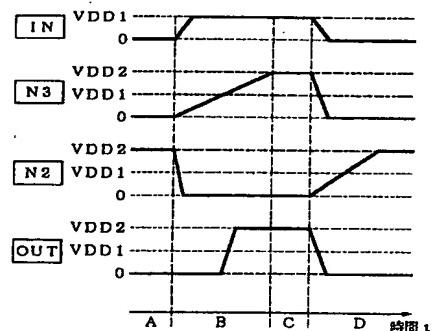
〔〕で囲まれたロジックはVDD1系インバータ
 □で囲まれたロジックはVDD2系インバータ

【図5】



□で囲まれたロジックはVDD1系インバータ
□で囲まれたロジックはVDD2系インバータ

【図6】



【図7】

